

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-177278

(43)公開日 平成 6 年(1994) 6 月24日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 23/12

23/50

識別記号

庁内整理番号

F I

技術表示箇所

U 9272-4M

X 9272-4M

9355-4M

9355-4M

H 0 1 L 23/ 12

N

Q

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平4-351674

(22)出願日

平成 4 年(1992)12月 8 日

(71)出願人 000003193

凸版印刷株式会社

東京都台東区台東 1 丁目 5 番 1 号

(72)発明者 大房 俊雄

東京都台東区台東一丁目 5 番 1 号 凸版印刷株式会社内

(72)発明者 塚本 健人

東京都台東区台東一丁目 5 番 1 号 凸版印刷株式会社内

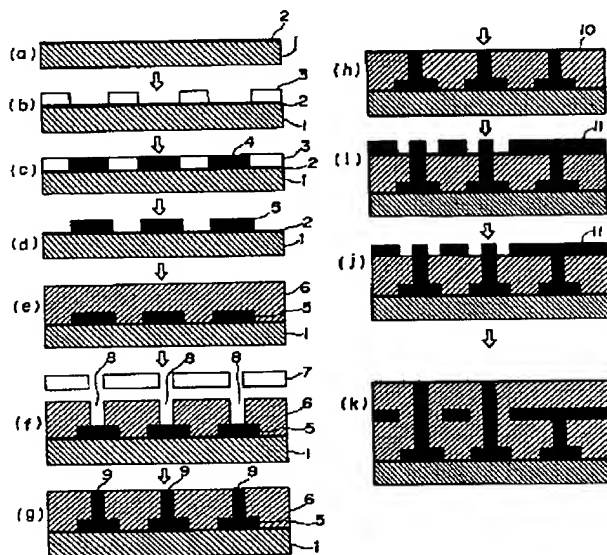
(74)代理人 弁理士 市之瀬 宮夫

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 多層化配線パターンのV I Aホールがめっき金属で完全に埋め込まれ、動作不良等の不具合の生じない、信頼性の高い半導体装置の製造方法を提供する。

【構成】 リードフレームのアイランド上に、絶縁層と導体パターンが順次積層された半導体装置の製造方法において、めっき用基板 1 に予め形成した後で除去可能な導電層 2 上に、第 1 層の導体パターン 5 と絶縁層 6 を順次設けるとともに、絶縁層 6 を貫通するホール 8 を設け、前記基板 1 側から導通をとり電解めっきによって前記ホール 8 に金属を埋め込むことによりV I Aホール 9 を形成し、その上に導電層 10 を形成した後、第 2 層の導体パターン 11 を形成し、さらにその上に絶縁層を設けるとともにV I Aホールを形成し、こうして作製した多層配線パターンの前記基板 1 及び導電層 2 を最後に剥離除去してリードフレームのアイランド上に貼り合わせる。



## 【特許請求の範囲】

【請求項1】 リードフレームの中心部に形成されたアイランド上、または、該アイランドとその周囲に形成されたインナーリード上に、絶縁層と導体パターンが順次積層された半導体装置の製造方法において、基板上に後で除去可能な導電層を設け、該導電層の上に絶縁層と導体パターンを順次設けるとともに、前記絶縁層を貫通するホールを設け、前記基板側から導通をとり電解めっきによって前記ホールに金属を埋め込むことにより、各層間の導通をとるためのVIAホールを形成し、最後に前記基板及び導電層を剝離除去することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特にリードフレームのアイランド上、又は当該アイランドとその周囲のインナーリード上に絶縁層と導体パターンが順次積層された半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】従来、多層配線回路基板上に半導体素子を搭載してなる混成集積回路が例えば特開平1-209735号に開示されている。

【0003】かかる混成集積回路は、セラミックス基板上に、ポリイミド等からなる絶縁層と金又はアルミニウム等の金属からなる配線層とを順次パターン化し積層していくことにより多層配線回路基板を形成し、所定の場所に設けたコンタクトホールを介して半導体素子を接続してなるものである。

## 【0004】

【発明が解決しようとする課題】一般に上記の如く、絶縁層と配線層とを順次パターン化し積層して多層化する場合、各層間の導通をとるためのVIAホールを形成する必要がある。

【0005】従来の技術では、フォトエッチング等の手段で形成した絶縁層を貫通するホールにめっきを施してVIAホールを形成していたが、ホールにめっきを施す場合、まず無電解めっきでホールの表面全体に薄く銅めっきを付け、このまま無電解めっきでめっき膜を厚くしていくか、あるいは電解めっきでめっき膜を厚くしていく必要があり、しかも無電解めっきの前に必ず表面にパラジウム等の触媒を付与する必要があった。また、この方法では、貫通ホールをめっきで完全に埋め込むことは困難であり、多層化したときにホール内に空気が入っていると、これが加熱時に膨張してパターンが劣化し、断線等により電子部品としての信頼性を損なう不具合を生じる。したがって、多層化をする場合、絶縁層となる樹脂でめっきを施したVIAホールを埋め込む必要があるが、VIAホールの直径が100 $\mu$ m程度以下のものになると、樹脂による埋め込みが困難となり、埋め込めな

い部分が相当数発生し、多層化したときにそこに空気が入り、上記不具合を生じる。

【0006】本発明は上記従来の課題に鑑みなされたもので、VIAホールをその径の大小にかかわらずめっきで完全に埋め込むことが出来、多層化しても何ら不具合の生じない、信頼性の向上を可能とする半導体装置の製造方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置の製造方法は、リードフレームの中心部に形成されたアイランド上、または、該アイランドとその周囲に形成されたインナーリード上に、絶縁層と導体パターンが順次積層された半導体装置の製造方法において、基板上に後で除去可能な導電層を設け、該導電層の上に絶縁層と導体パターンを順次設けるとともに、前記絶縁層を貫通するホールを設け、前記基板側から導通をとり電解めっきによって前記ホールに金属を埋め込むことにより、各層間の導通をとるためのVIAホールを形成し、最後に前記基板及び導電層を剝離除去することを特徴としている。

## 【0008】

【作用】本発明においては、基板上に後で除去可能な導電層を設け、この導電層の上に設けた絶縁層を貫通するホールを形成し、前記基板側から導通をとり電解めっきによって前記ホールに金属を埋め込むことによりVIAホールを形成するので、VIAホールをその径の大小にかかわらずめっきで完全に埋め込むことが出来る。したがって、多層化してもVIAホール内に空気が入った状態で多層化されることはなくなり、動作不良等、従来の空気による不具合も生じないため、信頼性の向上が図れる。

## 【0009】

【実施例】以下、添付図面を参照して本発明の実施例を詳述する。

【0010】図1は本発明の一実施例を工程順に示す断面図である。

【0011】まず、めっき用基板1に後で除去可能な導電層2を形成する(同図(a)参照)。めっき用基板1としてはステンレス板(例えばSUS 304など)等を用いることが出来る。後で除去可能な導電層2は例えば無電解銅めっきにより形成することが出来、厚さは0.5~1.0 $\mu$ m程度の範囲が望ましい。

【0012】次に、上記基板1の導電層2上にスピナー等でめっき用レジストを一様に塗布し、これに所望のパターンを焼付け、現像して不要なレジストを除去することにより、レジストパターン3を形成する(同図

(b)参照)。めっき用レジストには、市販品のたとえば、東京応化工業(株)製PME R(商品名)等を使用することが出来る。次いで、電解銅めっき等による厚さ5~15 $\mu$ m程度のパターンめっき4を行い(同図(c))

## 3

参照)、レジストパターン3を剥離除去することにより、第1層の導体パターン5を形成する(同図(d)参照)。

【0013】次に、ポリイミド等の樹脂を上記導体パターン5の上に塗設して絶縁層6を設ける(同図(e)参照)。

【0014】次いで、各層間の導通を取るためのVIAホールを形成するが、具体的には、同図(f)に示す如く、VIAホールのパターンを形成したマスク7を用いてエキシマレーザ等で焼付けることにより、絶縁層6にホール8を形成し、前記基板1側から導通をとり、電解めっきによって上記ホール8に金属(例えば電解銅めっきを行った場合には当然のことながら銅である)を堆積させることによりVIAホール9を形成する(同図(g)参照)。この方法によれば、VIAホール9をその径の大小にかかわらずめっきで完全に埋め込むことが出来る。

【0015】次に、再度、基板全体に後で除去可能な第2の導電層10を無電解銅めっき等により形成し(同図(h)参照)、この上に前述と同様にめっきレジストのパターニング、パターンめっき及びレジストパターンの剥離除去を行ない、第2層の導体パターン11を形成し、該パターンの形成されていない部分に露出した上記導電層10をエッチングによって除去する(同図(i)、(j)参照)。無電解銅めっき層の場合は例えば塩化第2鉄溶液等で簡単にエッチング除去することが出来る。こうして形成した第2層の導体パターン11の上に前記絶縁層6と同様の第2の絶縁層を設け、さらに前述と同様な方法にてVIAホールを形成する(同図(k)参照)。

【0016】なお、本発明方法において、VIAホールを形成する際に、貫通ホールがめっき金属で完全に埋め込まれた状態に達したかどうかを検知する、すなわち、めっきの終点を検知することが必要になるが、この方法としては、例えば、VIAホールを形成する絶縁層の上に導電層及びめっきレジスト層を先に形成しておいてから、めっきを行ない、上記導電層と前記基板1との抵抗値の変化をモニターすることにより、めっきの終点を自動的に検知することが可能である。

【0017】以上のようにして、導体パターン及び絶縁層をそれぞれ2層とする構造が出来上がるが、さらに多層構造とする場合には、例えば図2に示すように、第3層の導体パターン12の形成、第3の絶縁層の塗設及びVIAホールの形成、第4層の導体パターン13の形成、第4の絶縁層の塗設及びVIAホールの形成(同図(a)～(c)参照)というように、導体パターンの形成工程と絶縁層の塗設及びVIAホールの形成工程とを順次繰り返して行なう。形成したVIAホールはめっき金属で完全に埋め込まれているので、こうして多層化しても、VIAホール内に空気が入った状態で多層化され

## 4

ることではない。第3層の導体パターン12及び第4層の導体パターン13等は、前述した如く、導電層の形成、めっきレジストのパターニング、パターンめっき、レジストパターンの剥離除去、及び表面に露出した導電層の除去を行なうことによって形成することが出来る。

【0018】このようにして、第1層～第4層の各導体パターン及び絶縁層を順次積層し、必要なVIAホールを形成して作製した多層パターン(図2(c)参照)を、反転した上で、導電性の接着剤シート14を介してリードフレームのアイランド15上に貼り合わせ、表面に位置する第1層導体パターンの基板1を剥離し、さらに露出する導電層2を前述の方法と同様にしてエッチングによって除去する(同図(d)参照)ことにより、図示したような多層配線パターンを形成したマルチチップモジュール用の半導体装置が出来上がる。なお、本実施例では、上記の如く、作製した多層パターンを最後に反転してリードフレームに貼り合わせているが、これは形成する導体パターンによって異なり、必ずしも反転を必須とするものではない。

【0019】また、本実施例では、導体パターン及び絶縁層が各4層からなる多層構造を示したが、本発明方法がこれに限定されるものではないことは言うまでもない。

## 【0020】

【発明の効果】以上詳細に説明したように、本発明によれば、基板上に後で除去可能な導電層を設け、この導電層の上に絶縁層と導体パターンを順次設けるとともに、前記絶縁層を貫通するホールを設け、前記基板側から導通をとり電解めっきによって前記ホールに金属を埋め込むことにより各層間の導通をとるためのVIAホールを形成するため、VIAホールをその径の大小にかかわらずめっきの金属で完全に埋め込むことが出来るので、VIAホール内に空気が入った状態で多層化されることはなくなり、動作不良等、従来の空気による不具合も全く生じないため、電子部品としての信頼性が著しく向上するという優れた効果を奏する。

## 【図面の簡単な説明】

【図1】本発明の一実施例を工程順に示す断面図である。

【図2】本発明の一実施例を工程順に示す断面図である。

## 【符号の説明】

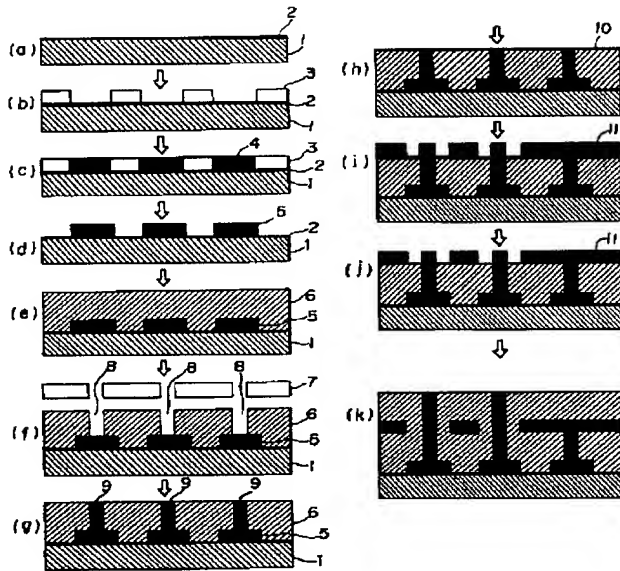
- 1 めっき用基板
- 2, 10 導電層
- 3 レジストパターン
- 4 パターンめっき
- 5 第1層の導体パターン
- 6 絶縁層
- 7 マスク
- 8 ホール

9 V I Aホール

1 1 第2層の導体パターン

1 2 第3層の導体パターン

【図1】



1 3 第4層の導体パターン

1 4 接着剤シート

1 5 リードフレームのアイランド

【図2】

